

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

BERICHTIGTE FASSUNG

10/553470

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
4. November 2004 (04.11.2004)

PCT

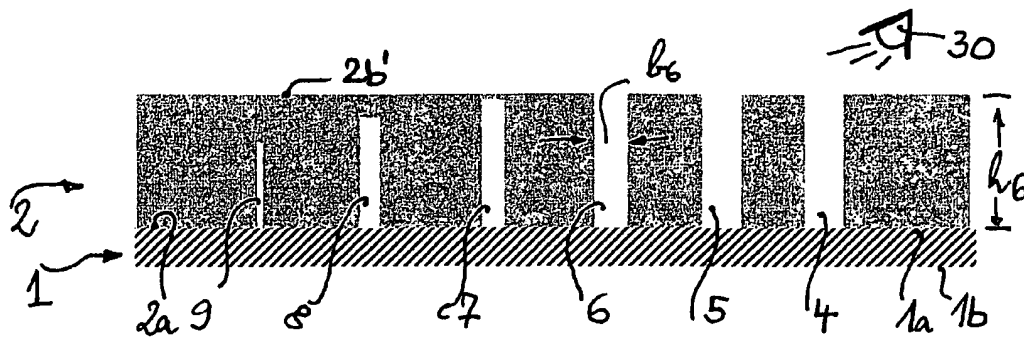
(10) Internationale Veröffentlichungsnummer
WO 2004/095567 A1

- (51) Internationale Patentklassifikation⁷: H01L 21/68, 23/544
- (21) Internationales Aktenzeichen: PCT/DE2004/000801
- (22) Internationales Anmeldedatum: 16. April 2004 (16.04.2004)
- (25) Einreichungssprache: Deutsch
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität: 103 17 747.7 17. April 2003 (17.04.2003) DE
- (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): X-FAB SEMICONDUCTOR FOUNDRIES AG [DE/DE]; Haarbergstrasse 67, 99097 Erfurt (DE).
- (72) Erfinder; und
- (75) Erfinder/Anmelder (nur für US): LERNER, Ralf [DE/DE]; Josef-Albers-Strasse 20, 99085 Erfurt (DE).
- (74) Anwälte: LEONHARD OLGEMOELLER FRICKE usw.; Postfach 10 09 62, 80083 Muenchen (DE).
- (81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH,

[Fortsetzung auf der nächsten Seite]

(54) Title: MONITORING THE REDUCTION IN THICKNESS AS MATERIAL IS REMOVED FROM A WAFER COMPOSITE AND TEST STRUCTURE FOR MONITORING REMOVAL OF MATERIAL

(54) Bezeichnung: KONTROLLE DES DICKENABTRAGS VON EINEM SCHEIBENVERBUND UND TESTSTRUKTUR ZUR ABTRAGSKONTROLLE



(57) Abstract: The aim of the invention is to create a simple monitoring or testing method for monitoring a reduction in thickness as material is removed from a bonded semiconductor wafer pair, which prevents failure effects as material is removed from wafers (polishing, grinding or lapping). In addition, the costs of the material removal process should be reduced by minimizing the complexity of monitoring, as well as by reducing the amount of resulting refuse. To this end, the invention provides a test structure (4, 5, 6, 7, 8, 9) comprised of a systematic row of a number of different depth trenches that are made in the (active) wafer (2). A thickness (h_6 ; h_7) of the active wafer (2) desired during material removal, particularly during a polishing, corresponds to the depth (16; 17) of a reference trench (6; 7) of the trenches of the test structure, said reference trench (6) being surrounded by flatter and deeper trenches (5, 7). The active wafer (2), via the side (2a) on which the test structure was provided, is bonded to the second wafer of the semiconductor wafer pair provided as a supporting wafer (1). A removal of material, particularly a polishing, is effected on the rear (2b) of the active wafer (2) until the reference trench (6) is exposed. The result is visually observed (30) in order to monitor the reduction in thickness as material is removed from the first wafer (2).

(57) Zusammenfassung: Es soll ein einfaches Kontroll oder Testverfahren zur Kontrolle eines Dickenabtrags von einem gebondeten Halbleiterscheiben-Paar geschaffen werden, welches Fehlereinflüsse beim Scheibenabtragen (Polieren, Schleifen oder Läppen) vermindert. Die Kosten des Abtragsprozesses sollen durch Minimieren des Kontrollaufwandes ebenso reduziert werden, wie entstehende Ausschüsse. Vorgeschlagen wird eine Teststruktur (4,5,6,7,8,9), bestehend aus einer systematischen Reihe

[Fortsetzung auf der nächsten Seite]



CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

- (84) **Bestimmungsstaaten** (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Erklärungen gemäß Regel 4.17:

- hinsichtlich der Berechtigung des Anmelders, ein Patent zu beantragen und zu erhalten (Regel 4.17 Ziffer ii) für die folgenden Bestimmungsstaaten AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VC, VN, YU, ZA, ZM, ZW, ARIPO Patent (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)

- hinsichtlich der Berechtigung des Anmelders, die Priorität einer früheren Anmeldung zu beanspruchen (Regel 4.17 Ziffer iii) für die folgenden Bestimmungsstaaten AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VC, VN, YU, ZA, ZM, ZW, ARIPO Patent (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)
- Erfindererklärung (Regel 4.17 Ziffer iv) nur für US

Veröffentlicht:

- mit internationalem Recherchenbericht

- (48) **Datum der Veröffentlichung dieser berichtigten**

Fassung: 22. Dezember 2005

- (15) **Informationen zur Berichtigung:**

siehe PCT Gazette Nr. 51/2005 vom 22. Dezember 2005, Section II

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

von mehreren, unterschiedlich tiefen Gräben, die in die (aktive) Scheibe (2) eingebracht sind. Eine beim Abtragen, insbesondere einem Polieren, angezielte Dicke (h6;h7) der aktiven Scheibe (2) entspricht einer Tiefe (t6;t7) eines Bezugsgrabens (6;7) der Gräben der Teststruktur, welcher Bezugsgraben (6) von flacheren und tieferen Gräben umgeben ist (5,7). Die aktive Scheibe (2) wird mit der Seite (2a), von der die Teststruktur eingebracht wurde, auf die zweite Scheibe des Halbleiter-Scheibenpaars als Trägerscheibe (1) gebondet. Ein Abtragen, insbesondere ein Polieren, von der Rückseite (2b) der aktiven Scheibe (2) bis zum Freilegen des Bezugsgrabens (6) wird vorgenommen. Das Ergebnis wird optisch beobachtet (30), zur Kontrolle des Dickenabtrags von der ersten Scheibe (2).